

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—84461

⑬ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
27/06  
// H 02 H 7/20  
H 03 F 1/00

識別記号

庁内整理番号  
7377—5F  
6370—5F  
7828—5G  
6832—5J

⑭ 公開 昭和58年(1983)5月20日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑮ 絶縁ゲート型半導体装置

⑯ 特 願 昭56—181140

⑰ 出 願 昭56(1981)11月13日

⑱ 発 明 者 伊藤秀史

高崎市西横手町111番地株式会社

社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 絶縁ゲート型半導体装置

特許請求の範囲

1. 第1導電型半導体基体をドレインとし、該半導体基体表面の一部に第2導電型領域を形成してこの第2導電型領域表面の一部に第1導電型領域を設けてソースとし、ソース・ドレイン間の第2導電型領域上に絶縁膜を介して設けた半導体層をゲート電極とし、このゲートへの電圧によって上記第2導電型領域表面のソース・ドレイン電流を制御する電界効果半導体素子と、この半導体素子のゲート電極に対する保護素子とを有する絶縁ゲート型半導体装置であって、前記保護素子は前記基体上に絶縁膜を介して設けられた半導体層中の一側に設けられ、ループ状の一導電型不純物導入層とこれと内側及び外側とでPN接合を介して隣接する他の導電型不純物導入層とからなり、内側の不純物導入層は前記ソースに電気的に接続され、外側の不純物導入層は前記半導体ゲートと一体に接続されたことを特徴とする絶縁ゲート型半導体

装置。

発明の詳細な説明

本発明は半導体装置、特に縦形MOSFET素子とそのゲート保護素子とを有する絶縁ゲート型半導体装置に関する。

パワー用縦形MOSFETは例えば第1図に示すように、N<sup>+</sup>N型Si基体1をドレインとし、このN基体表面の一部にP型領域2を形成し、このP型領域2表面の一部にN<sup>+</sup>型領域3を設けてドレインとし、ソース・ドレイン間のP型領域表面をチャネル部としてこの上に絶縁膜(SiO<sub>2</sub>)4を介して多結晶Siゲート5を設けた構造である。MOSFETを外側サージ電圧から保護するための保護素子として従来は主としてMOSFETと同一基板上に設けられたPNP接合ダイオードを用いていたが、基板がドレイン領域として動作する縦形MOSFETの場合には寄生トランジスタによるサイリスタ動作を生じて故障するなどの実用上の障害がある。このためこの種の保護素子をMOSFET基板と分離された絶縁膜上に設ける構造が提案され

ている。本願出願人において第1図、第2図に示すようにMOSFET基板の上に $SiO_2$ 膜6を介して多結晶 $Si$ 層7(多結晶 $Si$ ゲートを利用)を形成し、この多結晶 $Si$ 層7に不純物選択拡散によりループ状のP層7aとこれに内側と外側で接する $N^+$ 層7b,7cを形成し第3図に示すようにバック・ツウ・バック(NP-PN接合)によるMOSFET保護ダイオードを構成していた。この場合第2図に示すようにMOSFET基板上においては保護ダイオードの外側の $N^+$ 層7cはソース8に接続されるとともに内側の $N^+$ 層7bに多結晶 $Si$ ゲートGが一体に接続された形で $N^+PN^+$ 接合のループがMOSFET基板の外周にそって形成される。このような構造では保護ダイオードの基板に占める面積の割合が大きいものとなり、基板面積を小さくしようとすれば保護素子の $N^+PN^+$ 接合半導体層が微細化しレイアウトが困難となる欠点をさけられなかった。

本発明は上記した欠点を取り除くためになされたものであり、その目的は静電破壊防止に有利な

縦形MOSFETにある。

第4図、第5図に本発明による保護ダイオード付き縦形MOSFETの原理的構造が示される。

図面において、1はMOSFETのドレインとなる $N$ 型 $Si$ 基板、2はP型拡散層、3は $N^+$ 型拡散ドレイン、4はゲート絶縁膜となる薄い $SiO_2$ 膜、5は多結晶 $Si$ ゲート、6はフィールド絶縁膜となる厚い $SiO_2$ 膜、であり、これらにより縦形MOSFETが形成される。この絶縁膜6上にMOSFET保護ダイオードとなる多結晶 $Si$ 層が形成される。この多結晶 $Si$ 層は多結晶 $Si$ ゲートと同じ工法で絶縁膜上に形成されるものであり第5図に示すように、ループ状に形成されたP型拡散 $Si$ 層7aとこれと内側及び外側でPN接合を介して隣接する $N^+$ 型拡散 $Si$ 層7c,7bとから成る。このうち内側の $N^+$ 型拡散 $Si$ 層7cにはA $\delta$ 配線8がコンタクトし、このA $\delta$ 配線8は層間絶縁膜9、例えばPSG(リン・シリケート・ガラス)上を延在してソース電極8と一体的に接続する。一方、外側の $N^+$ 型拡散 $Si$ 層7b

は多結晶 $Si$ ゲートと一体的に結合し、ゲート電極Gとして取出される。

このように本発明によれば、多結晶 $Si$ 層を使用するバック・ツウ・バック保護ダイオードにおいてループ状PN接合に囲まれた内側の $N^+$ 型拡散領域7cをソース電極に接続し、外側の $N^+$ 型拡散領域7bをゲート電極に接続する構造であるため、保護ダイオードをMOSFETの基板の任意の位置に形成することができ、これまでのように基板周辺にそって細長いNPN接合を設ける場合に比して大きく、形状を自由に選ぶことができ、レイアウトも極めて容易である。このような保護ダイオードをゲート・ソース間に並列に設けることで静電破壊に対する有効に防止できる。又、本発明によれば保護ダイオードのレイアウトが容易で無難な設計をしなくてもよいから、歩留りが向上し、コスト低減を實現できる。

本発明は多結晶 $Si$ ゲートをもつ全てのMOSFET、その他の構造のMOSFETに適用できるものである。

#### 図面の簡単な説明

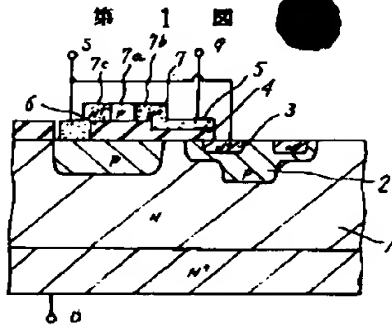
第1図は本願出願人によるこれまでの保護ダイオード付き縦形MOSFETの一部断面図、第2図は第1図の保護ダイオード付きMOSFETをモデル化した斜視図、第3図は保護ダイオード付きMOSFETの等価回路図である。第4図は本発明による保護ダイオード付き縦形MOSFETの一部断面図、第5図は第4図の保護ダイオード付きMOSFETをモデル化した斜視図である。

1… $N$ 型 $Si$ 基板、2…P型層、3… $N^+$ 型ソース、4…ゲート絶縁膜、5…多結晶 $Si$ ゲート、6…フィールド絶縁膜、7(7a,7b,7c)…保護ダイオード、8…A $\delta$ 配線、9…層間絶縁膜。

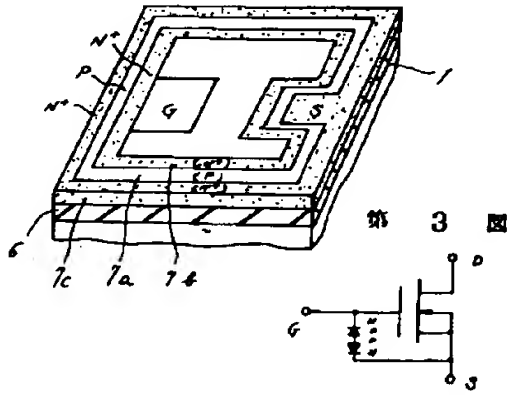
代理人 弁護士 藤田利幸



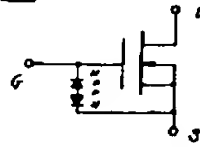
第 1 圖



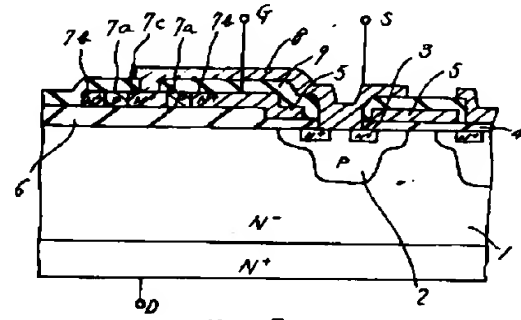
第 2 圖



第 3 圖



第 2 圖



第 5 圖

